

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-90520

(43)公開日 平成5年(1993)4月9日

(51)Int.Cl. <sup>5</sup>	識別記号	序内整理番号	F I	技術表示箇所
H 01 L 27/092				
27/06				
	7342-4M		H 01 L 27/08	3 2 1 H
	7342-4M		27/06	3 1 1 B
	7342-4M			3 1 1 C

審査請求 未請求 請求項の数1(全 7 頁)

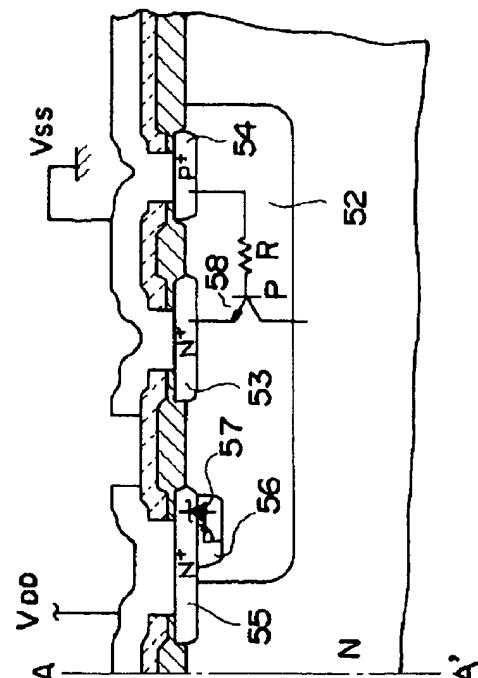
(21)出願番号	特願平3-274614	(71)出願人	000003997 日産自動車株式会社 神奈川県横浜市神奈川区宝町2番地
(22)出願日	平成3年(1991)9月26日	(72)発明者	村上 浩一 神奈川県横浜市神奈川区宝町2番地 日産 自動車株式会社内
		(74)代理人	弁理士 永井 冬紀

(54)【発明の名称】 半導体保護装置

(57)【要約】

【目的】 異常電圧に起因する電流の大部分を既知の特性を有する第2の保護回路へ流すことで、異常電圧印加による素子自体の破壊を防止することができる半導体保護装置を提供する。

【構成】 CMOSトランジスタ、電源端子V<sub>DD</sub>、接地端子V<sub>SS</sub>および入出力用外部端子を備えた半導体装置に対し、前記外部端子に異常電圧が印加されたときにCMOSトランジスタの破壊を防止するための半導体保護装置において、電源端子V<sub>DD</sub>と接地端子V<sub>SS</sub>との間に設けられ、CMOSトランジスタ内に形成される寄生素子27～29、36、40より低い電圧でブレークダウンするダイオード57と、電源端子V<sub>DD</sub>と接地端子V<sub>SS</sub>との間に設けられ、ダイオード57のブレークダウン電圧でターンオンするバイポーラトランジスタ58とを設けた。



1

## 【特許請求の範囲】

【請求項1】 外部端子と、  
 該外部端子に接続され第1導電形の半導体基板表面に形成されたCMOSトランジスタとを有する半導体保護装置において、  
 前記半導体基板表面に形成された第2導電形の第1の領域と、  
 少なくとも前記第1の領域表面に形成された第2の領域と、  
 該第2の領域の底面もしくは側面に接し、前記第2の領域と反対の導電形を有する第3の領域とを有し、前記第2の領域と第3の領域とから構成され、前記CMOSトランジスタに形成される寄生素子より低い電圧でブレークダウンするダイオードと、  
 前記半導体基板をコレクタ、前記第1の領域をベース、前記第1の領域表面に形成された第1導電形の第4の領域をエミッタとして構成され、電源端子および接地端子間に接続されると共に前記第1の領域および前記第4の領域は同電位とされ、前記ダイオードのブレークダウンに基づきターンオンする縦型バイポーラトランジスタとを有することを特徴とする半導体保護装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、ESD(Electro-Static Discharge)等のサージによる破壊等からCMOSトランジスタを保護するための半導体保護装置に関する。

## 【0002】

【従来の技術】図6および図7は、入力保護回路として2個のダイオードを利用したCMOSトランジスタからなる従来の半導体装置を示すもので、図6は装置の断面図、図7は各種寄生素子を含んだ等価回路である。図6において、半導体回路の電源端子および接地端子をV<sub>DD</sub>、V<sub>SS</sub>で表している。

【0003】図6で示されるように、入力保護回路を有する半導体装置はN型半導体基板11上に一体に形成されており、17、18はそれぞれ入力保護回路を構成するプルアップ、プルダウンダイオード、20、30はそれぞれNMOSFET(相補型金属酸化膜電界効果トランジスタ)を構成するNMOSFETおよびPMOSFETである。

【0004】プルアップダイオード17は、N型半導体基板11の表面に高濃度P型拡散領域13を形成することでこの基板11上に形成されている。プルダウンダイオード18は、N型半導体基板11上に第1のP型ウェル領域12を形成し、この第1のP型ウェル領域12の表面に高濃度N型拡散領域14を形成することでダイオード17と同一基板上に形成されている。

【0005】ダイオード17のカソードを構成するN型半導体基板11は、その表面に形成された高濃度N型拡散領域(基板コンタクト領域)16を介して電源端子V

2

DDに接続され、ダイオード17のアノードを構成する高濃度P型拡散領域13は入力端子に接続されている。一方、ダイオード18のカソードを構成する高濃度N型拡散領域14は入力端子に接続され、ダイオード18のアノードを構成する第1のP型ウェル領域12は、その表面に形成された高濃度P型拡散領域(Pウェル領域コンタクト領域)15を介して接地端子V<sub>SS</sub>に接続されている。

【0006】入力保護回路を構成するダイオード17、18は入力にESD等の過電圧が印加された際にCMOSFETのゲート酸化膜に過電圧が加わらないように、電圧をクランプすることで入力保護回路として機能しているものである。

【0007】N型半導体基板11には、これらダイオード17、18に近接してCMOSFETが形成されている。すなわち、N型半導体基板11上には、第1のP型ウェル領域12の近傍に第2のP型ウェル領域21が形成されており、この第2のP型ウェル領域の表面には所定間隔を置いて2つの高濃度N型拡散領域23、24が形成されている。そして、高濃度N型拡散領域23、24をそれぞれソース領域、ドレイン領域とし、それらの間にゲート酸化膜26を介して入力端子に接続されたゲート電極25が設けられたNMOSFET20が形成されている。第2のP型ウェル領域21は、その表面に形成された高濃度P型拡散領域22を介して接地端子V<sub>SS</sub>に接続されている。

【0008】同様に、N型半導体基板11上には、所定間隔を置いて2つの高濃度P型拡散領域31、32が形成されており、高濃度拡散領域31、32をそれぞれドレイン領域、ソース領域とし、それらの間にゲート酸化膜35を介して入力端子に接続したPMOSFET30用ゲート電極34が設けられたPMOSFET30が形成されている。

【0009】NMOSFET20のドレイン領域24とPMOSFET30のドレイン領域31とは次段回路の入力端子(入力ゲート)に共通に接続されている。さらに、PMOSFET30近傍のN型半導体基板11は、高濃度N型拡散領域(基板コンタクト領域)33を介して電源端子V<sub>DD</sub>に接続されている。

【0010】37、39はそれぞれ層間絶縁膜、フィールド酸化膜であり、38は各素子を電気的に接続するためのアルミニウム等からなる金属配線である。

【0011】図6に示す回路には、上述の素子に付随して各種の寄生素子が同時に形成されている。具体的には、NMOSFET20のソース領域23、ドレイン領域24および第2のP型ウェル領域21(基板コンタクト領域22)をそれぞれエミッタ、コレクタおよびベースとする寄生横型NPNトランジスタ27が、NMOSFET20のソース領域23、第2のP型ウェル領域21およびN型半導体基板11をそれぞれエミッタ、ベ

3

スおよびコレクタとする寄生継型NPNトランジスタ28がそれぞれ付隨的に形成されている。また、PMOSFET30のソース領域32、ドレイン領域31およびN型半導体基板11をそれぞれエミッタ、コレクタおよびベースとする寄生横型PNPトランジスタ36が付隨的に形成されている。さらに、NMOSFET20のドレイン領域24と第2のP型ウェル領域21とにより寄生ダイオード29が、PMOSFET30のドレイン領域31とN型半導体基板11とにより寄生ダイオード40が付隨的に形成されている。

【0012】一方、図8は出力保護回路を備えたCMOSFETからなる従来の半導体装置を示す断面図であり、図9はその等価回路である。

【0013】N型半導体基板71上にはP型ウェル領域72が形成されており、このP型ウェル領域72の表面には所定間隔を置いて2つの高濃度N型拡散領域74、75が形成されている。そして、高濃度N型拡散領域74、75をそれぞれソース領域、ドレイン領域とし、それらの間にゲート酸化膜90を介してゲート入力端子に接続されたゲート電極76が設けられたNMOSFET77が形成されている。P型ウェル領域72は、その表面に形成された高濃度P型拡散領域73を介して接地端子Vssに接続されている。

【0014】また、N型半導体基板71上には所定間隔を置いて2つの高濃度P型拡散領域79、80が形成されており、高濃度拡散領域79、80をそれぞれソース領域、ドレイン領域とし、それらの間にゲート酸化膜91を介してゲート入力端子に接続されたゲート電極81が設けられたPMOSFET82が形成されている。NMOSFET77のドレイン領域75とPMOSFET82のドレイン領域80とは出力端子に共通に接続されている。さらに、PMOSFET82近傍のN型半導体基板71は、高濃度N型拡散領域（基板コンタクト領域）78を介して電源端子Vddに接続されている。

【0015】図8に示す回路にも、各素子に付隨して各種の寄生素子が同時に形成されている。具体的には、NMOSFET77のソース領域74、ドレイン領域75およびP型ウェル領域72（基板コンタクト領域73）をそれぞれエミッタ、コレクタおよびベースとする寄生横型NPNトランジスタ83が、NMOSFET77のソース領域74、P型ウェル領域72およびN型半導体基板71をそれぞれエミッタ、ベースおよびコレクタとする寄生継型NPNトランジスタ84がそれぞれ付隨的に形成されている。また、PMOSFET82のソース領域79、ドレイン領域80およびN型半導体基板71をそれぞれエミッタ、コレクタおよびベースとする寄生横型PNPトランジスタ85が付隨的に形成されている。さらに、NMOSFET77のドレイン領域75とP型ウェル領域72とにより寄生ダイオード86が、PMOSFET82のドレイン領域80とN型半導体基板

4

71とにより寄生ダイオード87がそれぞれ付隨的に形成されている。

#### 【0016】

【発明が解決しようとする課題】しかしながら、上述した従来の入力保護回路もしくは出力保護回路を有する半導体回路にあっては、ESD等のサージが入力端子もしくは出力端子から与えられた場合、入力保護回路もしくは出力保護回路以外に半導体回路に寄生した寄生素子にも過剰の電流が流れることになる。この場合、半導体回

10 路の各素子の特性によっては一部の寄生素子にサージ電流が集中し、半導体回路自体を破壊する可能性がある、という問題があった。以下、サージ電圧に起因するサージ電流の経路について図7および図9の等価回路を参照して説明する。

【0017】図7に等価回路で示す回路の入力一電源端子Vdd間に入力端子から負のサージ電圧が印加された場合、半導体回路内のサージ電流の経路としては、プルアップダイオード17のブレークダウン電流として電源端子（Vdd）側から入力端子側へ流れる経路以外に、寄生素子に起因する以下の2つの経路が考えられる。1つの経路は、サージ電圧印加によりCMOSFETを構成するPMOSFET30がターンオンすることで寄生横型NPNトランジスタ27がブレークダウンし、これら電源端子Vdd、PMOSFET30およびトランジスタ27を通して接地端子Vssにブレークダウン電流が流れ、さらに接地側ダイオード18を通して入力端子へ流出する経路である。他の経路は、寄生ラテラルNPNトランジスタ27とほぼ同時に寄生バーティカルNPNトランジスタ28がターンオンし、電源端子Vdd、トランジスタ28および接地側ダイオード18を通して入力端子側へ流れる経路である。

【0018】ここで、寄生ラテラルNPNトランジスタ27および寄生継型NPNトランジスタ28のエミッタは内部回路であるので有効面積（電流の出入り面積）が小さく、さらにゲート電極25近傍の拡散層23のエッジには電流が集中し易いので、これらの出入り経路を流れるサージ電流の大きさによっては、破壊しやすいという問題点がある。

【0019】一方、図7の回路の入力一接地端子Vss間に入力端子から正のサージ電圧が印加された場合、半導体回路内のサージ電流の経路としては、接地側ダイオード18のブレークダウン電流として入力端子側から接地端子（Vss）側へ流れる経路以外に以下の経路がある。すなわち、サージ電圧の印加によりダイオード18のブレークダウンと同時にNMOSFET20がターンオンし、寄生トランジスタ36がブレークダウンする。このトランジスタ36のブレークダウンにより、サージ電圧が入力端子からダイオード17を通って電源端子Vddへ流れ、さらにブレークダウンした寄生トランジスタ36 50 からターンオンしたNMOSFET20を通って接地端

子V<sub>SS</sub>へと流れる経路である。この場合、寄生P N Pトランジスタ36はその耐圧が高いため、この経路を流れるサージ電流はダイオード18のブレークダウンによるサージ電流に比し無視できる量である。従ってサージ電流の大部分がアールダウンダイオード18のブレークダウン電流として流れるため、ダイオード18が破壊しやすくなる。

【0020】次に、図9に等価回路で示す回路の出力—電源端子(V<sub>DD</sub>)間に出力から負のサージ電圧が印加された場合、寄生ダイオード87、すなわち寄生横型P N Pトランジスタ85がブレークダウンし、ブレークダウン電流として出力端子側に流出する。この場合、P N Pトランジスタ85の耐圧は高く、2次降伏も起こさないため、電源端子(V<sub>DD</sub>)から寄生縦型N P Nトランジスタ84、寄生ダイオード86を通じて出力端子へ流れる電流の経路はない。従って、寄生横型P N Pトランジスタ85にのみサージ電流が集中するので、図9に示す回路によっても、高いサージ耐量を得ることが困難となる。

【0021】以上述べたように、従来の入出力回路に対する保護装置では、寄生素子の一部に集中的にサージ電流が流れ素子自体を破壊するおそれがあった。

【0022】本発明の目的は、異常電圧に起因する電流の大部分を電源端子(V<sub>DD</sub>)、接続端子(V<sub>SS</sub>)間に形成された既知の特性を有する第2の保護回路へ流することで、異常電圧印加による素子自体の破壊を防止することができる半導体保護装置を提供することにある。

### 【0023】

【課題を解決するための手段】一実施例を示す図1および図2により説明すると、本発明は、外部端子と、該外部端子に接続され第1導電形の半導体基板11表面に形成されたCMOSトランジスタ20、30とを有する半導体保護装置において、前記半導体基板11表面に形成された第2導電形の第1の領域52と、少なくとも前記第1の領域52表面に形成された第2の領域55と、該第2の領域55の底面もしくは側面に接し、前記第2の領域55と反対の導電形を有する第3の領域56とを有し、前記第2の領域55と第3の領域56とから構成され、前記CMOSトランジスタに形成される寄生素子より低い電圧でブレークダウンするダイオード57と、前記半導体基板11をコレクタ、前記第1の領域52をベース、前記第1の領域表面に形成された第1導電形の第4の領域53をエミッタとして構成され、電源端子V<sub>DD</sub>および接続端子V<sub>SS</sub>間に接続されると共に前記第1の領域52および前記第4の領域53は同電位とされ、前記ダイオードのブレークダウンに基づきターンオンする縦型バイポーラトランジスタ58とを有することを特徴とする。

### 【0024】

【作用】サージ電圧等の異常電圧が外部端子と電源端子

間または外部端子と接続端子間に印加されると、電源端子V<sub>DD</sub>と接続端子V<sub>SS</sub>間に設けられた第2および第3の領域からなるダイオード57がCMOSトランジスタ内に形成される寄生素子27~29、36、40よりも先にブレークダウンする。そして、ダイオード57を介して第1の領域52に電流がながれ、第1の領域52をベースとする縦型バイポーラトランジスタ58がターンオンする。これにより異常電圧に起因する電流の大部分はCMOSトランジスタを経ることなく流出する。

10 【0025】なお、本発明の構成を説明する上記課題を解決するための手段と作用の項では、本発明を分かり易くするために実施例の図を用いたが、これにより本発明が実施例に限定されるものではない。

### 【0026】

#### 【実施例】—第1実施例—

図1~図3は、本発明による半導体保護装置の第1実施例が適用された半導体装置を示す図であって、図1および図2は断面図、図3はその等価回路図である。図1および図2は切断線A-A'を介して連続する図である。

20 20 【0026】なお、本実施例は、図6に示す入力保護回路および半導体回路に付設されたものであり、従って、同一の構成要素について同一の符号を付し、その説明を簡略化する。

【0027】図1および図2において、N型半導体基板11の表面にはP型ウェル領域52が形成され、P型ウェル領域52の表面には、所定距離を置いて高濃度N型拡散領域53と高濃度P型拡散領域(Pウェル領域コントラクト領域)54とが形成されている。これら高濃度N型拡散領域53および高濃度P型拡散領域54は共に接続端子V<sub>SS</sub>に接続されている。そして、高濃度N型拡散領域53、P型ウェル領域52およびN型基板11により、これらをそれぞれエミッタ、ベースおよびコレクタとするパーティカルN P Nトランジスタ58が形成されている。

30 30 【0028】トランジスタ58のベースと接続端子V<sub>SS</sub>とはP型ウェル領域52中の寄生抵抗Rを介して接続されている。この寄生抵抗はベース抵抗であり、パーティカルN P Nトランジスタ58をターンオンしやすくするために意図的に設けられている。ベース抵抗Rの抵抗値はN型拡散領域53、P型拡散領域54の距離およびP型ウェル領域52の不純物濃度で定まり、後述のツェナーダイオード57のブレークダウン電流、ひいてはパーティカルN P Nトランジスタ58のベース電流の大きさを決め、このトランジスタ58の駆動電流を決める。

40 40 【0029】N型半導体基板11とP型ウェル領域52との間には、これらの表面にまたがるように高濃度N型拡散領域55が形成されている。この高濃度N型拡散領域55には電源端子V<sub>DD</sub>を介して電源電圧が印加されている。さらに、P型ウェル領域52に接する高濃度N型拡散領域55の底部もしくは側部には高濃度P型拡散領

域5 6が形成されており、これら高濃度N型拡散領域5 5と高濃度P型拡散領域5 6とでツェナーダイオード5 7が構成されている。このツェナーダイオード5 7は、そのブレークダウン電圧が各種ダイオード1 7、1 8、2 9、4 0または各種寄生バイポーラトランジスタ2 7、2 8、3 6の耐圧よりも小さくなるように、拡散領域5 5、5 6の不純物濃度等が設定されている。

【0030】なお、請求の範囲と実施例との対応において、N型半導体基板1 1は第一導電型の半導体基板を、寄生横型NPNトランジスタ2 7、寄生縦型NPNトランジスタ2 8、寄生ダイオード2 9、寄生横型PNPトランジスタ3 6および寄生ダイオード4 0は寄生素子を、ダイオード1 7、1 8は第1の保護回路を、ツェナーダイオード5 7はダイオードを、パーティカルNPNトランジスタ5 8はバイポーラトランジスタをそれぞれ構成している。

【0031】次に、図3を参照して、本実施例の半導体保護装置の動作について説明する。図3の入力回路の入力-電源端子( $V_{DD}$ )間に入力から負のサージ電圧が印加された場合、上述のようにツェナーダイオード5 7のブレークダウン電圧は各種ダイオード1 7、1 8、4 0、2 9等または各種寄生バイポーラトランジスタ2 7、3 6、2 8等の耐圧よりも小さく設定されているので、まず最初にツェナーダイオード5 7がブレークダウンする。このブレークダウン電流は抵抗R、ダイオード1 7を通って入力端子へ流れる。同時に、パーティカルNPNトランジスタ5 8のベース-エミッタ間に電位差が生じ、これによりパーティカルNPNトランジスタ5 8がターンオンする。従って、サージ電流は電源端子 $V_{DD}$ からパーティカルNPNトランジスタ5 8、ダイオード1 8を通って入力端子へ流れる。

【0032】また、サージ電流の大きさによっては、電源端子 $V_{DD}$ からダイオード1 7を通って入力端子に流れる経路と、電源端子 $V_{DD}$ からターンオンしたPMOSFET3 0、ブレークダウンした寄生ラテラルNPNトランジスタ2 7およびダイオード1 8を通って入力端子へ流れる経路と、電源端子 $V_{DD}$ から寄生NPNトランジスタ2 8、接地側ダイオード1 8を通って入力端子へ流れる経路とがあるが、いずれにせよ大部分のサージ電流がトランジスタ5 8とダイオード1 8を通って入力端子へ流れてしまうので、寄生素子の破壊を防止することができる。

#### 【0033】-第1実施例の変形例-

図4は、図8で示される出力回路に本発明の第1実施例を適用した例を示す等価回路図である。なお、半導体回路の構成は図1および図2と実質的に同一であるのでそれらの説明は省略する。また、図8と同一の素子については同一の符号を付している。

【0034】このような図4の出力回路の出力-電源端子( $V_{DD}$ )間に出力から負のサージ電圧が印加された場

合、上述の第1実施例と同様に、ツェナーダイオード5 7のブレークダウン電圧は他のダイオードおよびトランジスタの耐圧よりも小さく設定されているので、まず最初にツェナーダイオード5 7がブレークダウンし、パーティカルNPNトランジスタ5 8がターンオンする。従って、大部分のサージ電流はトランジスタ5 8を介してダイオード8 6を通して出力端子へ流れるので、出力端子においてもサージ耐量を向上することができる。

#### 【0035】-第2実施例-

10 図5は、本発明による半導体保護装置の第2実施例を示す断面図である。図5では半導体保護装置を単独で描いているが、本実施例も図1および図2で示される入力保護回路および半導体回路に一体に設けられている。

【0036】図5において、N型半導体基板1 1の表面にはP型ウェル領域6 2が形成され、P型ウェル領域6 2の表面には、所定距離を置いて高濃度N型拡散領域6 3と高濃度P型拡散領域(Pウェル領域コンタクト領域)6 4とが形成されている。これら高濃度N型拡散領域6 3および高濃度P型拡散領域6 4は共に接地端子 $V_{SS}$ に接続されている。そして、高濃度N型拡散領域6 3、P型ウェル領域6 2およびN型基板1 1により、これらをそれぞれエミッタ、ベースおよびコレクタとするパーティカルNPNトランジスタ6 9が形成されている。

【0037】トランジスタ6 9のベースと接地端子 $V_{SS}$ とはP型ウェル領域6 2中の寄生抵抗Rを介して接続されている。この寄生抵抗はベース抵抗であり、パーティカルNPNトランジスタ6 9をターンオンしやすくするために意図的に設けられている。

30 【0038】N型半導体基板1 1とP型ウェル領域6 2との間には、これらの表面にまたがる様に高濃度のP型拡散領域6 5が形成されている。さらにN型基板1 1に接する高濃度P型拡散領域6 5の底部もしくは側部には高濃度N型拡散領域6 6が形成されており、これら高濃度P型拡散領域6 5と高濃度N型拡散領域6 6とでツェナーダイオード6 8が構成されている。なお、基板1 1はその表面に形成された高濃度N型拡散領域6 7を介して電源端子 $V_{DD}$ に接続されている。

【0039】図5の半導体保護装置の断面構造は図1および図2の半導体保護装置と異なるが、等価回路、保護動作および効果は同一である。

【0040】なお、本発明の半導体保護装置は、その細部が上述の各実施例に限定されず、種々の変形が可能である。一例として、上述の各実施例はP型ウェル領域を有するN型半導体基板についてのものであったが、N型ウェル領域を有するP型半導体基板を用いても、各拡散領域の不純物の導電型を逆にし、電圧の極性を逆にすることで同様の効果が得られる。

【0041】さらに、本発明の半導体保護装置は入出力回路を問わず全ての回路に対する保護装置として機能す

ることができるので、例えば同一基板上に各種の素子を形成した一つのLSI上に本発明の半導体保護装置を最低一つ設けるだけでもよい。また、上述した実施例では第1の保護回路として2個のダイオード(フルアップダイオードおよびフルダウンダイオード)が用いられているが、他の素子からなる保護回路を用いていても同一の効果が得られることは言うまでもない。

## 【0042】

【発明の効果】以上詳細に説明したように本発明によれば、外部端子への異常電圧の印加に対して、これに起因する電流の大部分を第2の保護回路を介して流出させることができるので、CMOSトランジスタおよびその寄生素子へのサージ電流の集中的な流入を防ぎ、半導体回路自体の破壊を防止することができる。そのためESD等のサージに対する破壊耐量の向上を計ることができる。

## 【図面の簡単な説明】

【図1】本発明の第1実施例である半導体保護装置が適用された半導体装置を示す断面図である。

## 【図2】図1に連続する図である。

【図3】図1および図2の半導体装置の等価回路を示す図である。

## 【図4】第1実施例の変形例を示す等価回路図である。

【図5】本発明の第2実施例である半導体保護装置を示す断面図である。

## 【図6】従来の半導体保護装置の一例が適用された半導

体装置を示す断面図である。

【図7】図6の半導体装置の等価回路図である。

【図8】従来の半導体装置の他の例が適用された半導体装置を示す断面図である。

【図9】図8の半導体装置の等価回路図である。

## 【符号の説明】

V<sub>DD</sub> 電源端子

V<sub>SS</sub> 接地端子

1 N型半導体基板

10 17、18 ダイオード

20 NMOSFET

21 P型ウェル領域

27 寄生横型NPNトランジスタ

28 寄生縦型NPNトランジスタ

29 寄生ダイオード

30 PMOSFET

36 寄生横型PNPトランジスタ

40 寄生ダイオード

52 P型ウェル領域

20 53 高濃度N型拡散領域

54 高濃度P型拡散領域

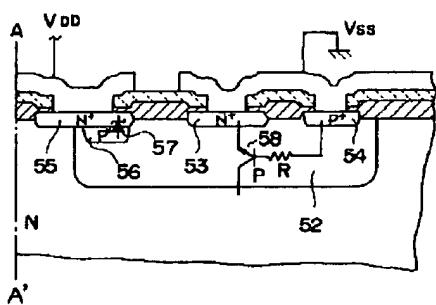
55 高濃度N型拡散領域

56 高濃度P型拡散領域

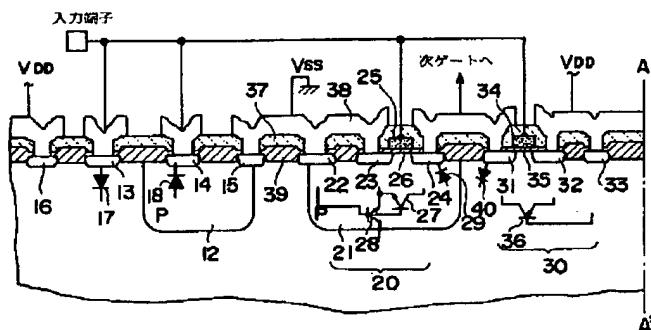
57 ツェナーダイオード

58 バーティカルNPNトランジスタ

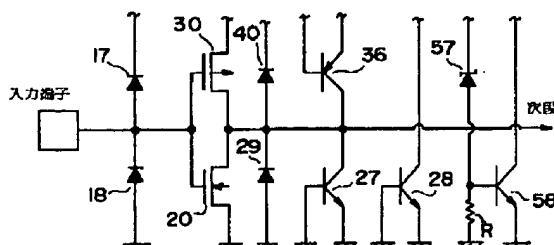
【図1】



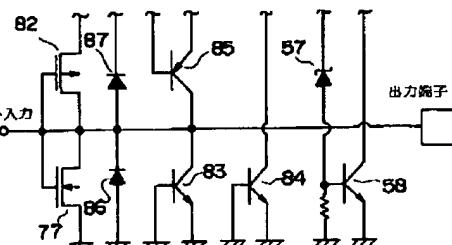
【図2】



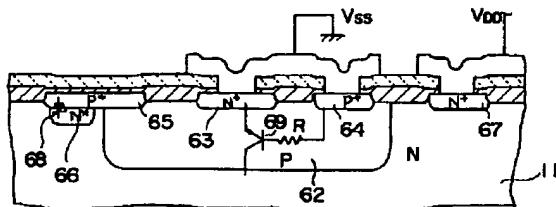
【図3】



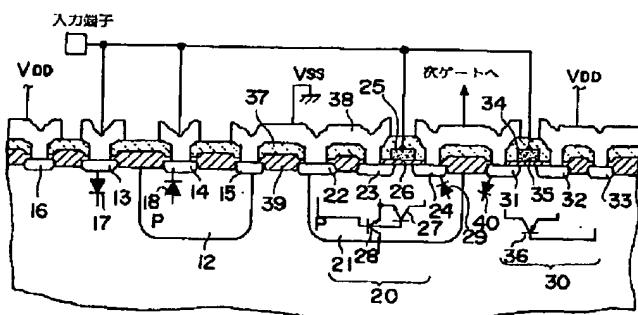
【図4】



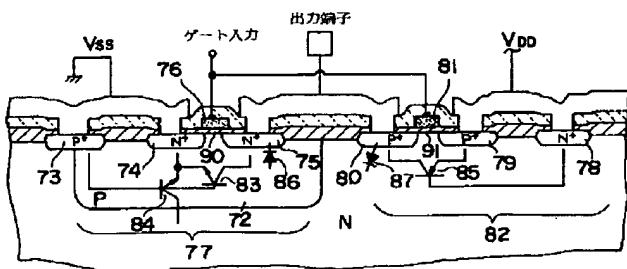
【図5】



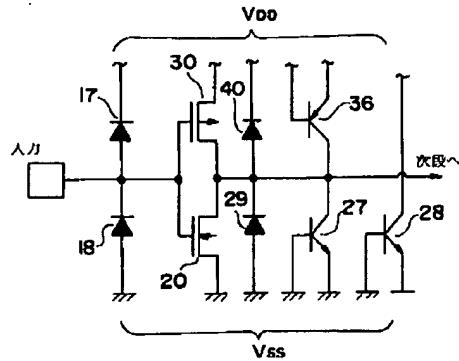
【図6】



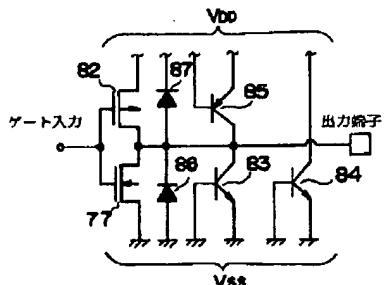
【図8】



【図7】



【図9】



CLIPPEDIMAGE= JP405090520A  
PAT-NO: JP405090520A  
DOCUMENT-IDENTIFIER: JP 05090520 A  
TITLE: SEMICONDUCTOR PROTECTIVE DEVICE

PUBN-DATE: April 9, 1993

INVENTOR-INFORMATION:

NAME  
MURAKAMI, KOICHI

ASSIGNEE-INFORMATION:

NAME	COUNTRY
NISSAN MOTOR CO LTD	N/A

APPL-NO: JP03274614

APPL-DATE: September 26, 1991

INT-CL (IPC): H01L027/092; H01L027/06

US-CL-CURRENT: 257/546

ABSTRACT:

PURPOSE: To improve breakdown strength against surges such as ESD, by a method wherein a greater part of a current caused by applying an abnormal voltage to an external terminal is made to flow out via a second protective circuit, and a concentrative surge current is prevented from flowing into a CMOS transistor and a parasitic element.

CONSTITUTION: When an abnormal voltage like a surge voltage is applied across an external terminal and a power supply terminal or across the external terminal and a ground terminal, a diode 57 which is formed between the power supply terminal VDD and the ground terminal V<SB>ss</SB> and composed of a second and a third regions is broken down before a parasitic element which is formed in a CMOS transistor. A current flows into a first region 52 via the diode 57, and a vertical type bipolar transistor 58 whose base is constituted of the first region 52 turns on. Hence the greater part of a current caused by

the abnormal voltage is made to flow out without passing the CMOS transistor.

COPYRIGHT: (C)1993, JPO&Japio